

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Makoto ONOZAWA et al.

Application No.: NEW

Group Art Unit: Not Yet Assigned

Filed: February 19, 2004

Examiner: Not Yet Assigned

For: PLASMA DISPLAY DEVICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-131879

Filed: May 9, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 19, 2004

By: 

H. J. Staas

Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 9 日
Date of Application:

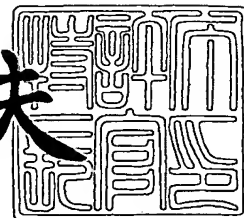
出 願 番 号 特 願 2 0 0 3 - 1 3 1 8 7 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 1 8 7 9]

出 願 人 富士通日立プラズマディスプレイ株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 4 0 9 3

【書類名】 特許願

【整理番号】 0300029

【提出日】 平成15年 5月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 プラズマディスプレイ装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 小野澤 誠

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
アドバンスデジタル内

【氏名】 黄木 英明

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
アドバンスデジタル内

【氏名】 鎌田 雅樹

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 椎崎 貴史

【特許出願人】

【識別番号】 599132708

【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102492

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイ装置

【特許請求の範囲】

【請求項 1】 複数の第 1 の電極と、

上記複数の第 1 の電極に略平行に配置され、隣接する上記第 1 の電極とで表示セルを形成するとともに、当該表示セルを形成する上記第 1 の電極との間にて放電を行う複数の第 2 の電極と、

上記複数の第 1 の電極に放電電圧を印加する第 1 の電極駆動回路と、

上記複数の第 2 の電極に放電電圧を印加する第 2 の電極駆動回路とを備え、

上記第 1 及び第 2 の電極駆動回路の少なくとも一方は、高速スイッチング性能を有する第 1 のスイッチ素子と、低飽和電圧性能を有する第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とするプラズマディスプレイ装置。

【請求項 2】 少なくとも上記第 1 の電極と上記第 2 の電極との間で放電電流が流れる期間は、上記第 2 のスイッチ素子がオン状態であることを特徴とする請求項 1 記載のプラズマディスプレイ装置。

【請求項 3】 上記電極駆動回路は、上記表示セルにて発光を伴う放電を行う維持放電電圧を出力するサステイン回路を有し、

上記サステイン回路が、上記第 1 のスイッチ素子と上記第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とする請求項 1 又は 2 記載のプラズマディスプレイ装置。

【請求項 4】 上記サステイン回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る第 1 の電位を供給する高電位側スイッチ回路と、上記第 1 の電位より低い上記維持放電電圧に係る第 2 の電位を供給する低電位側スイッチ回路とを有し、

上記高電位側スイッチ回路及び上記低電位側スイッチ回路が、上記第 1 のスイッチ素子と上記第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とする請求項 3 記載のプラズマディスプレイ装置。

【請求項 5】 上記電極駆動回路は、上記表示セルを形成する電極にコイル

を介して接続された電力回収スイッチをさらに有することを特徴とする請求項4記載のプラズマディスプレイ装置。

【請求項6】 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする請求項1～5の何れか1項記載のプラズマディスプレイ装置。

【請求項7】 上記第2のスイッチ素子は、IGBTであることを特徴とする請求項1～6の何れか1項記載のプラズマディスプレイ装置。

【請求項8】 上記第1のスイッチ素子と上記第2のスイッチ素子は、入力しきい値電圧特性が略一致していることを特徴とする請求項1～7の何れか1項記載のプラズマディスプレイ装置。

【請求項9】 上記第1のスイッチ素子及び上記第2のスイッチ素子を、同一の駆動信号により駆動することを特徴とする請求項1～7の何れか1項記載のプラズマディスプレイ装置。

【請求項10】 上記第1のスイッチ素子は、上記第2のスイッチ素子よりもスイッチング時間が短いことを特徴とする請求項1～7の何れか1項記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイ装置に関する。

【0002】

【従来の技術】

従来、プラズマディスプレイ装置のサステイン回路の出力素子には、パワーMOSFET (Metal-Oxide Semiconductor 電界効果トランジスタ) が一般的に用いられていた。これに対し、近年、パワーMOSFETの入力特性及びバイポーラトランジスタの低飽和電圧特性をとともに有するIGBT (Insulated Gate Bipolar Transistor) は、ターンオフ時間が短縮され、プラズマディスプレイ装置のサステイン回路に用いられ始めている (例えば、特許文献1参照。)。

【0003】

また、IGBTを用いたプラズマディスプレイ駆動用ドライバとして、パワー

MOSFETとIGBTとをトータムポール接続して構成した駆動用ICが提案されている（例えば、特許文献2参照。）。

【0004】

IGBTは、バイポーラトランジスタと同様に伝導度変調効果が生ずるため、導通時の飽和電圧を低くすることができる。IGBTは、ターンオフ時間の短縮により、プラズマディスプレイ装置のサステイン回路の出力素子としての基本動作を実現することができる。しかしながら、現在製品化されているIGBTは、ターンオフ時間が従来に比べて短縮されたものの、パワーMOSFETに比較してターンオン時間及びターンオフ時間も長く、スイッチング損失の点では不利である。

【0005】

これらの状況を考慮し、エアコン用インバータにおいては、第1の駆動電圧をゲート電極に印加することにより導通状態となるパワーMOSFETと、第1駆動電圧とは異なるレベルの第2の駆動電圧をゲート電極に印加することにより導通状態となるIGBTとを備え、パワーMOSFETとIGBTとを負荷への供給電流に対して並列に接続したものがあ（例えば、特許文献3参照。）。上記エアコン用インバータでは、負荷に供給する電流が小さい場合にはパワーMOSFETのみを駆動する第1の駆動電圧をゲート電極に印加し、負荷に供給する電流が大きい場合にはIGBTを主に駆動する、第1の駆動電圧よりも大きな第2の駆動電圧をゲート電極に印加する。

【0006】

【特許文献1】

特開2000-330514号公報

【特許文献2】

特開平8-46053号公報

【特許文献3】

特開2002-16486号公報

【0007】

【発明が解決しようとする課題】

上記特許文献3に開示された技術では、エアコン用インバータ等の高電力駆動時（起動時）において、パワーMOSFETとIGBTの両者を動作させている。一方、エアコン用インバータ等の小電力駆動時（定常時）には、IGBTをオフさせ、パワーMOSFETのみを動作させることにより、定常時の電力損失を低減している。

【0008】

しかしながら、特許文献3に開示された回路をプラズマディスプレイ装置に適用した場合には、定常時において、IGBTがオフし、パワーMOSFETのみの動作となるために、放電電流による電圧変動により駆動マージンが小さくなる。この結果、ノイズやちらつき等が発生し表示特性の劣化が生ずる可能性がある。特に、画面サイズが大きい、例えば42型以上のプラズマディスプレイ装置では、放電電流による電圧変動が大きく、表示特性の劣化が生ずる可能性が高くなる。

【0009】

本発明は、このような問題に鑑みて成されたものであり、放電電流による電圧変動を低減して駆動マージンを拡大し、プラズマディスプレイ装置における表示特性の劣化を防止できるようにすることを目的とする。

【0010】

【課題を解決するための手段】

本発明のプラズマディスプレイ装置は、複数の第1の電極と、複数の第1の電極に略平行に配置され、隣接する第1の電極とで表示セルを形成するとともに、表示セルを形成する第1の電極との間にて放電を行う複数の第2の電極と、複数の第1の電極に放電電圧を印加する第1の電極駆動回路と、複数の第2の電極に放電電圧を印加する第2の電極駆動回路とを備える。第1及び第2の電極駆動回路の少なくとも一方が、高速スイッチング性能を有する第1のスイッチ素子と、低飽和電圧性能を有する第2のスイッチ素子とを並列に接続した並列回路を有する。

【0011】

本発明によれば、第1の電極と第2の電極との間で放電電流が流れる際には、

低飽和電圧性能を有する第2のスイッチ素子を導通状態にすることで、放電電流を第2のスイッチ素子を介して流すことができ、電圧変動を低減することができる。

また、並列接続された高速スイッチング性能を有する第1のスイッチ素子と、低飽和電圧性能を有する第2のスイッチ素子とを動作させ、サステインパルスの立ち上がり及び立ち下がり時には、スイッチング速度が速い第1のスイッチ素子に主に電流を流すことで、スイッチング損失を低減することができる。

【0012】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0013】

(第1の実施形態)

図1は、本発明の第1の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図1においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。

【0014】

図1において、 C_p はプラズマディスプレイパネルのX電極とY電極で形成され表示セルとなる容量性負荷である。容量性負荷 C_p の一端に駆動電圧を供給するY電極駆動回路101は、リセット回路102、Yサステイン回路104、及びスキャン回路105を有する。また、容量性負荷 C_p の他端に駆動電圧を供給するX電極駆動回路は、Xサステイン回路111を有する。

【0015】

リセット回路102は、リセット信号端子 I_w から入力される制御信号に応じて、リセット電圧端子 V_w から供給されるリセット電圧を出力する。

Yサステイン回路104は、プリドライブ回路 $P_1 \sim P_4$ 及びスイッチ素子 $Q_1 \sim Q_4$ を有する。また、Yサステイン回路104は、ダイオード103を介して電源電圧端子 V_s より電源電圧が入力されている。ダイオード103は、リセット回路102からリセット電圧が供給されている際に、電流が逆流するのを防止するために設けられる。

【0016】

第1～第4のプリドライブ回路P1～P4は、第1～第4の制御信号端子I1～I4から入力される制御信号を増幅するための増幅回路である。第1～第4のスイッチ素子Q1～Q4は、第1～第4のプリドライブ回路P1～P4が出力する制御信号（ゲート電圧）VG1～VG4に応じて開閉（オン・オフ）が制御される。第1～第4のスイッチ素子Q1～Q4の詳細については後述する。

【0017】

スキャン回路105は、Yサステイン回路104が出力する駆動電圧Y_oが入力され、スキャン信号端子I_{sc}から入力される制御信号に応じて容量性負荷C_pの一端に電圧を供給する。

【0018】

第1及び第2のスイッチ素子Q1、Q2は、スイッチング速度が速い（スイッチング時間であるターンオン時間、ターンオフ時間が短い）高速スイッチング性能を有するスイッチ素子である。一方、第3及び第4のスイッチ素子Q3、Q4は、導通時にスイッチ素子の入出力間での電位差が小さい低飽和電圧性能を有するスイッチ素子である。図1においては、第1及び第2のスイッチ素子Q1、Q2が、NチャネルパワーMOSFET（Metal-Oxide Semiconductor電界効果トランジスタ）で構成され、第3及び第4のスイッチ素子Q3、Q4が、IGBT（絶縁ゲート型バイポーラトランジスタ）で構成される場合を一例として示している。

【0019】

第i（i=1～4の整数）のスイッチ素子Q_iのゲートあるいはベースが、第iのプリドライブ回路P_iの出力に接続される。第1のスイッチ素子Q1のドレイン及び第3のスイッチ素子Q3のコレクタが、ダイオード103のカソードに共通接続され、その相互接続点にリセット回路102の出力端が接続される。第2のスイッチ素子Q2のソース及び第4のスイッチ素子Q4のエミッタが、グラウンド端子に接続される。また、第1のスイッチ素子Q1のソース、第2のスイッチ素子Q2のドレイン、第3のスイッチ素子Q3のエミッタ、及び第4のスイッチ素子Q4のコレクタが、スキャン回路105の入力端に（信号線Y_oに対して

) 共通接続される。

【0020】

ここで、第1及び第3のスイッチ素子Q1、Q3は、後述するサステインパルスのハイレベル電圧を供給するためのハイサイド（高電位側）スイッチ回路106を構成し、第2及び第4のスイッチ素子Q2、Q4は、サステインパルスのロウレベル電圧を供給するロウサイド（低電位側）スイッチ回路107を構成する。つまり、本実施形態においては、ハイサイドスイッチ回路106及びロウサイドスイッチ回路107は、高速スイッチング性能を有するスイッチ素子（例えばパワーMOSFET）と、低飽和電圧性能を有するスイッチ素子（例えばIGBT）との並列回路を用いてそれぞれ構成する。

【0021】

なお、並列接続される高速スイッチング性能を有するスイッチ素子と、低飽和電圧性能を有するスイッチ素子とは、入力しきい値電圧が略等しいことが望ましい。ここで、入力しきい値電圧は、各スイッチ素子におけるオン状態とオフ状態とのしきい値電圧である。

【0022】

Xサステイン回路111は、Yサステイン回路104と同様に、プリドライブ回路P5～P8及びスイッチ素子Q5～Q8を有する。第5～第8のプリドライブ回路P5～P8は、第5～第8の制御信号端子I5～I8から入力される制御信号を増幅するための増幅回路である。第5～第8のスイッチ素子Q5～Q8は、第5～第8のプリドライブ回路P5～P8が出力する制御信号（ゲート電圧）VG5～VG8に応じて開閉が制御される。

【0023】

第5及び第6のスイッチ素子Q5、Q6は、高速スイッチング性能を有するスイッチ素子であり、第7及び第8のスイッチ素子Q7、Q8は、低飽和電圧性能を有するスイッチ素子である。図1においては、第5及び第6のスイッチ素子Q5、Q6が、NチャネルパワーMOSFETで構成され、第7及び第8のスイッチ素子Q7、Q8が、IGBTで構成される場合を一例として示している。

【0024】

第 j ($j = 5 \sim 8$ の整数) のスイッチ素子 Q_j のゲートあるいはベースが、第 j のプリドライブ回路 P_j の出力に接続される。第 5 のスイッチ素子 Q_5 のドレイン及び第 7 のスイッチ素子 Q_7 のコレクタが、電源電圧が入力される電源電圧端子 V_s に共通接続され、第 6 のスイッチ素子 Q_6 のソース及び第 8 のスイッチ素子 Q_8 のエミッタが、グランド端子に接続される。また、第 5 のスイッチ素子 Q_5 のソース、第 6 のスイッチ素子 Q_6 のドレイン、第 7 のスイッチ素子 Q_7 のエミッタ、及び第 8 のスイッチ素子 Q_8 のコレクタが、容量性負荷 C_p の他端に駆動電圧を供給する信号線 X_o に対して共通接続される。

【0025】

ここで、第 5 及び第 7 のスイッチ素子 Q_5 、 Q_7 は、サステインパルスのハイレベル電圧を供給するためのハイサイドスイッチ回路 112 を構成し、第 6 及び第 8 のスイッチ素子 Q_6 、 Q_8 は、サステインパルスのロウレベル電圧を供給するロウサイドスイッチ回路 113 を構成する。つまり、本実施形態においては、ハイサイドスイッチ回路 112 及びロウサイドスイッチ回路 113 は、高速スイッチング性能を有するスイッチ素子と、低飽和電圧性能を有するスイッチ素子との並列回路を用いてそれぞれ構成する。なお、並列接続される高速スイッチング性能を有するスイッチ素子と、低飽和電圧性能を有するスイッチ素子とは、入力しきい値電圧が略等しいことが望ましい。

【0026】

図 2 は、図 1 に示した X 電極駆動回路及び Y 電極駆動回路の動作を示す波形図であり、プラズマディスプレイ装置の動作におけるサステイン期間（維持放電期間）の動作を図示している。なお、サステイン期間においては、リセット信号端子 I_w 及びスキャン信号端子 I_{sc} からそれぞれ入力される制御信号により、リセット回路 102 は動作せず、スキャン回路 105 は Y サステイン回路 104 の出力電圧を各 Y 電極に並列出力する。

【0027】

図 2 において、 Y_o は Y 電極駆動回路（Y サステイン回路 104）の出力電圧、 X_o は X 電極駆動回路（X サステイン回路 111）の出力電圧を示している。 $V_{G1} \sim V_{G8}$ は、プリドライブ回路 $P_1 \sim P_8$ から出力される、各スイッチ素

子Q1～Q8を駆動するためのゲート電圧を示しており、ゲート電圧VG1～VG8がハイレベルであるときにスイッチ素子Q1～Q8がオン状態（導通状態）になる。

【0028】

時刻t1において、Xサステイン回路111のスイッチ素子Q6がオンになる。この際、スイッチ素子Q6を除く他のスイッチ素子はオフである。これにより、Xサステイン回路111の出力電圧Xoがロウレベルに変化する。一方、Yサステイン回路104の出力電圧Yoはフローティング状態であるのでロウレベルに維持される。

【0029】

時刻t2では、Yサステイン回路104のスイッチ素子Q1がオンになる。その結果、Yサステイン回路104の出力電圧Yoがハイレベルに変化する。

【0030】

所定時間が経過し、プラズマディスプレイ装置にて放電電流が流れる時刻t3では、Yサステイン回路104のスイッチ素子Q3と、Xサステイン回路111のスイッチ素子Q8がオンになる。すなわち、時刻t3の時点にて導通状態である高速スイッチング性能を有するスイッチ素子（パワーMOSFET）Q1、Q6にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子（IGBT）Q3、Q8がオンになる。なお、プラズマディスプレイ装置にて放電電流が流れる時刻は、プラズマディスプレイ装置の構造や駆動電圧等に応じて適宜決まるものである。

【0031】

このように、放電電流が流れる際にスイッチ素子Q3、Q8をオンさせることにより、図2に示すように放電電流によるサステインパルス（出力電圧Yo、Xo）の電圧変動 ΔV_{YH} 、 ΔV_{XL} を低減させることができる。なお、図2においては比較参照するために、スイッチ素子Q3、Q8が常にオフの場合（またはスイッチ素子Q3、Q8を設けていない場合）における出力電圧Yo、Xoの電圧変動を破線で示している。

【0032】

時刻 t_4 では、スイッチ素子 Q_3 、 Q_8 がともにオフとなる。その後、スイッチ素子 Q_1 がオフになり、Yサステイン回路 104 の出力電圧 Y_o はハイレベルに維持される（フローティング状態）。

【0033】

時刻 t_5 では、スイッチ素子 Q_2 がオンになり、スイッチ素子 Q_6 がオフになる。この結果、Yサステイン回路 104 の出力電圧 Y_o がロウレベルに変化する。また、Xサステイン回路 111 の出力電圧 X_o は、スイッチ素子 $Q_5 \sim Q_8$ がオフであるのでロウレベルに維持される（フローティング状態）。

時刻 t_6 では、Xサステイン回路 111 のスイッチ素子 Q_5 がオンになる。その結果、Xサステイン回路 111 の出力電圧 X_o がハイレベルに変化する。

【0034】

所定時間が経過し、放電電流が流れる時刻 t_7 では、Yサステイン回路 104 のスイッチ素子 Q_4 と、Xサステイン回路 111 のスイッチ素子 Q_7 がオンになる。つまり、時刻 t_7 の時点にて導通状態である高速スイッチング性能を有するスイッチ素子（パワーMOSFET） Q_2 、 Q_5 にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子（IGBT） Q_4 、 Q_7 がオンになる。これにより放電電流によるサステインパルス（出力電圧 Y_o 、 X_o ）の電圧変動 ΔV_{YL} 、 ΔV_{XH} を低減させることができる。なお、スイッチ素子 Q_4 、 Q_7 が常におフの場合（またはスイッチ素子 Q_4 、 Q_7 を設けていない場合）における出力電圧 Y_o 、 X_o の電圧変動を比較参照するために破線で示している。

【0035】

時刻 t_8 では、スイッチ素子 Q_4 、 Q_7 がともにオフとなる。その後、スイッチ素子 Q_5 がオフになり、Xサステイン回路 111 の出力電圧 X_o はハイレベルに維持される（フローティング状態）。さらに、その後、スイッチ素子 Q_2 がオフになる。

以降、サステイン期間におけるサステインパルスの印加回数に応じて、上述した動作を繰り返し行う。

【0036】

以上の説明したように、プラズマディスプレイ装置にて放電電流が流れる際に

は、低飽和電圧性能を有するスイッチ素子（IGBT）をオンさせることにより、放電電流による電圧変動 ΔV_{YH} 、 ΔV_{YL} 、 ΔV_{XH} 、 ΔV_{XL} を低減させることができ、プラズマディスプレイ装置における駆動マージンを拡大することができる。また、サステインパルスの立ち上がり時及び立ち下がり時には、低飽和電圧性能を有するスイッチ素子に並列接続された高速スイッチング性能を有するスイッチ素子（パワーMOSFET）を動作させることにより、低飽和電圧性能を有するスイッチ素子を単独で用いた場合に比べて、サステインパルスの変化に伴うスイッチング損失を低減することができる。

【0037】

なお、上記図2においては、プラズマディスプレイ装置にて放電電流が流れるときのみ、低飽和電圧性能を有するスイッチ素子（IGBT）をオンさせるようにしているが、少なくともプラズマディスプレイ装置にて放電電流が流れるときにオンであれば良く、他の期間においてもオン状態であっても良い。

また、図2においては出力電圧 Y_o 、 X_o の一方をハイレベルからロウレベルに変化させた後、他方をロウレベルからハイレベルに変化させているが、図2に示した波形図は一例であり、出力電圧 Y_o 、 X_o を変化させるタイミングは同時であっても良いし、図2に示すタイミングとは逆であっても良い。

【0038】

図3は、図1に示した駆動回路を適用したプラズマディスプレイ装置の構成例を示す図である。図3において、リセット回路301、Yサステイン回路302、スキャン回路303、Xサステイン回路304は、図1に示したリセット回路102、Yサステイン回路104、スキャン回路105、Xサステイン回路111にそれぞれ相当する。リセット回路301、Yサステイン回路302及びスキャン回路303が、Y電極を駆動するためのY電極駆動回路308を構成し、Xサステイン回路304が、X電極を駆動するためのX電極駆動回路309を構成する。

【0039】

制御回路306は、外部から入力される図示しないクロック信号、水平同期信号、垂直同期信号及び表示データ等に基づいて制御信号を生成する。さらに、制

御回路 306 は、生成した制御信号をリセット回路 301、Y サステイン回路 302、スキャン回路 303、X サステイン回路 304 及びアドレス回路 305 に出力する。

【0040】

X サステイン回路 304 は、出力端が X 電極 X1、X2 等に共通接続され、制御信号に応じて X 電極 X1、X2 等を駆動する。リセット回路 301、Y サステイン回路 302 及びスキャン回路 303 からなる Y 電極駆動回路は、制御信号に応じて Y 電極 Y1、Y2 等を駆動し、アドレス回路 305 は、制御信号に応じてアドレス電極 A1、A2 等を駆動する。

【0041】

表示パネル（プラズマディスプレイパネル：PDP）307 は、X 電極 X1、X2 等と Y 電極 Y1、Y2 等とが略平行かつ交互に配置され、それらに対してアドレス電極 A1、A2 等が垂直方向に交差して 2 次元マトリクスを形成する。図 1 に示した容量性負荷 C_p に対応する各表示セル（画素） CL_{ij} は、1 つの X 電極 X_i 、1 つの Y 電極 Y_i 及び 1 つのアドレス電極 A_j で構成される。

【0042】

図 4（a）は、図 3 の表示セル CL_{ij} の断面構成を示す図である。X 電極 X_i 及び Y 電極 Y_i は、前面ガラス基板 411 上に形成されている。その上には、放電空間 417 に対し絶縁するための誘電体層 412 が被着されるとともに、更にその上に MgO（酸化マグネシウム）保護膜 413 が被着されている。

【0043】

一方、アドレス電極 A_j は、前面ガラス基板 411 と対向して配置された背面ガラス基板 414 上に形成され、その上には誘電体層 415 が被着され、更にその上に蛍光体が被着されている。MgO 保護膜 413 と誘電体層 415 との間の放電空間 417 には、Ne + Xe ペニングガス等が封入されている。

【0044】

図 4（b）は、交流駆動型プラズマディスプレイの容量 CL を説明するための図である。容量 C_a は、X 電極 X_i と Y 電極 Y_i との間の放電空間 417 の容量である。容量 C_b は、X 電極 X_i と Y 電極 Y_i との間の誘電体層 412 の容量で

ある。容量 C_c は、X 電極 X_i と Y 電極 Y_i との間の前面ガラス基板 411 の容量である。これらの容量 C_a 、 C_b 、 C_c の合計によって、電極 X_i 及び Y_i 間の容量 C_L が決まる。

【0045】

図 4 (c) は、交流駆動型プラズマディスプレイの発光を説明するための図である。リブ 416 の内面には、赤、緑、青色の蛍光体 418 がストライプ状に各色毎に配列、塗布されており、X 電極 X_i 及び Y 電極 Y_i の間の放電によって蛍光体 418 を励起して光 421 が生成されるようになっている。

【0046】

図 5 は、図 3 のプラズマディスプレイ装置の動作波形図である。

X 電極駆動回路 309 における X サステイン回路 304 は、X 電極 X_i 等に、サステイン期間 T_s に発生する X サステインパルス 504 等を出力する。Y 電極駆動回路 308 における Y サステイン回路 302 は、Y 電極 Y_i 等に、サステイン期間 T_s に発生する Y サステインパルス 505 等を出力する。

【0047】

Y 電極駆動回路 308 におけるリセット回路 301 は、Y 電極 Y_i 等に、リセット期間 T_r に発生するリセットパルス 501 を出力する。Y 電極駆動回路 308 におけるスキャン回路 303 は、Y 電極 Y_i 等に、アドレス期間 T_a に発生するスキャンパルス 503 を出力する。アドレス電極駆動回路 305 は、アドレス電極 A_1 等に、アドレス期間 T_a に発生するアドレスパルス 502 を出力する。

【0048】

リセット期間 T_r では、Y 電極 Y_i にリセットパルス 501 を印加して電荷の全面書き込み及び全面消去を行い、前回の表示内容を消去して所定の壁電荷を形成する。

【0049】

次に、アドレス期間 T_a では、アドレス電極 A_j に正電位パルス 502 を印加し、所望の Y 電極 Y_i に順次スキャンで負電位パルス 503 を印加する。これにより、アドレス電極 A_j と Y 電極 Y_i との間でアドレス放電が行われ、表示セルのアドレス指定がなされる。

【0050】

次に、サステイン期間（維持放電期間） T_s では、各X電極 X_i と各Y電極 Y_i とにサステインパルス504、505を交互に印加することにより維持放電電圧 V_s を電極間に印加し、アドレス期間 T_a でアドレス指定した表示セルに対応するX電極 X_i とY電極 Y_i との間で維持放電を行い、発光する。

【0051】

以上、説明したように第1の実施形態によれば、プラズマディスプレイ装置のX、Y電極駆動回路を、高速スイッチング性能を有するスイッチ素子（例えばパワーMOSFET）と、低飽和電圧性能を有するスイッチ素子（例えばIGBT）とを並列に接続した並列回路を用いて構成する。そして、プラズマディスプレイ装置にて放電電流が流れる際には、低飽和電圧性能を有するスイッチ素子をオンさせることにより、低飽和電圧性能を有するスイッチ素子を介して放電電流を流すことができ、放電電流による電圧変動 ΔV_{YH} 、 ΔV_{YL} 、 ΔV_{XH} 、 ΔV_{XL} を低減させることができる。したがって、プラズマディスプレイ装置における駆動マージンを拡大することができ、プラズマディスプレイ装置における表示特性の劣化を防止することができる。

【0052】

また、サステインパルスの立ち上がり時及び立ち下がり時には、低飽和電圧性能を有するスイッチ素子に並列接続された高速スイッチング性能を有するスイッチ素子を動作させることにより、高速スイッチング性能を有するスイッチ素子に主に電流を流すことができ、低飽和電圧性能を有するスイッチ素子を単独で用いた場合に比べてターンオン時間及びターンオフ時間に生ずるスイッチング損失を低減することができる。

【0053】

以下、他の実施形態について説明する。

なお、上記図3及び図4に示したプラズマディスプレイの構成及びその動作は上述した第1の実施形態を適用したものであるが、以下に説明する第2～第5の実施形態においても、各実施形態に応じてY電極駆動回路308及びX電極駆動回路309の構成を適宜変更するだけで、基本的な構成及び動作は第1の実施形



態における図 3、図 4 に示したものと同様であるので、その説明は省略する。

【0 0 5 4】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。

図 6 は、本発明の第 2 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図 6 においては、プラズマディスプレイ装置の Y 電極駆動回路及び X 電極駆動回路について示している。なお、この図 6 において、図 1 に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

【0 0 5 5】

図 6 に示すように第 2 の実施形態は、上記図 1 に示した第 1 の実施形態における Y 電極駆動回路及び X 電極駆動回路に、さらに電力回収回路をそれぞれ備えた点のみが異なる。

Y 電極駆動回路 6 0 1 は、リセット回路 1 0 2、ダイオード 1 0 3、Y サステイン回路 1 0 4、スキャン回路 1 0 5、及び Y 電極駆動回路用電力回収回路 6 0 2 を有する。また、X 電極駆動回路 6 1 1 は、X サステイン回路 1 1 1 と X 電極駆動回路用電力回収回路 6 1 2 を有する。

【0 0 5 6】

電力回収回路 6 0 2 は、プリドライブ回路 P 1 0、P 1 1、スイッチ素子 Q 1 0、Q 1 1、ダイオード D 1、D 2、コイル L 1、L 2、及び電力回収用コンデンサ C 1、C 2 で構成される。

【0 0 5 7】

コンデンサ C 1、C 2 は、電源電圧端子 V_s とグランド端子の間に直列接続される。プリドライブ回路 P 1 0、P 1 1 は、制御信号端子 I 1 0、I 1 1 から入力される制御信号を増幅するための増幅回路である。スイッチ素子 Q 1 0、Q 1 1 は、プリドライブ回路 P 1 0、P 1 1 が出力する制御信号（ゲート電圧）V_G 1 0、V_G 1 1 に応じて開閉が制御される。スイッチ素子 Q 1 0、Q 1 1 は、例えばパワー MOSFET 等の高速スイッチング性能を有するスイッチ素子で構成される。

【0058】

スイッチ素子Q10は、ゲートがプリドライブ回路P10の出力に接続され、ドレインがコンデンサC1及びC2の相互接続点に接続される。また、ソースが、ダイオードD1のアノードに接続される。ダイオードD1のカソードは、一端が信号線Yoに対して接続されたコイルL1の他端に接続される。

【0059】

スイッチ素子Q11は、ゲートがプリドライブ回路P11の出力に接続され、ソースがコンデンサC1及びC2の相互接続点に接続される。また、ドレインが、ダイオードD2のカソードに接続される。ダイオードD2のアノードは、一端が信号線Yoに対して接続されたコイルL2の他端に接続される。

【0060】

電力回収回路612は、プリドライブ回路P12、P13、スイッチ素子Q12、Q13、ダイオードD3、D4、コイルL3、L4、及び電力回収用コンデンサC3、C4で構成される。電力回収回路612は、プリドライブ回路P12、P13、スイッチ素子Q12、Q13、ダイオードD3、D4、コイルL3、L4、及び電力回収用コンデンサC3、C4が、電力回収回路611のプリドライブ回路P10、P11、スイッチ素子Q10、Q11、ダイオードD1、D2、コイルL1、L2、及び電力回収用コンデンサC1、C2にそれぞれ対応し、電力回収回路602と同様に構成されるので詳細については省略する。

【0061】

図7は、図6に示したX電極駆動回路611及びY電極駆動回路601の動作を示す波形図であり、プラズマディスプレイ装置の動作におけるサステイン期間（維持放電期間）の動作を図示している。なお、サステイン期間においては、リセット信号端子Iw及びスキャン信号端子Is cからそれぞれ入力される制御信号により、リセット回路102は動作せず、スキャン回路105はYサステイン回路104の出力電圧を各Y電極に並列出力する。

【0062】

図7において、YoはY電極駆動回路601の出力電圧、XoはX電極駆動回路611の出力電圧を示している。VG1～VG8は、プリドライブ回路P1～

P8から出力される、各スイッチ素子Q1～Q8を駆動するためのゲート電圧を示しており、VG10～VG13は、プリドライブ回路P10～P3から出力される、各スイッチ素子Q10～Q13を駆動するためのゲート電圧を示している。ゲート電圧VG1～VG8、VG10～VG13がハイレベルであるときにスイッチ素子Q1～Q8、Q10～Q13がオン状態（導通状態）になる。

【0063】

出力電圧X_oをロウレベルに変化させる時刻t11において、X電極駆動回路611のスイッチ素子Q13がオンになるパルスが発生させ、所定時間経過後にスイッチ素子Q6をオンにする。この結果、出力電圧X_oがハイレベルからロウレベルに変化するとともに、この変化に伴う電力が電力回収回路612により回収される。

【0064】

出力電圧Y_oをハイレベルに変化させる時刻t12では、Y電極駆動回路601のスイッチ素子Q10がオンになるパルスが発生させた後、スイッチ素子Q1をオンにする。これにより、出力電圧Y_oを変化させるための電力の一部として回収された電力が利用され、出力電圧Y_oがロウレベルからハイレベルに変化する。

【0065】

所定時間が経過し、プラズマディスプレイ装置にて放電電流が流れる時刻t13では、図2の時刻t3と同様にして、Y電極駆動回路601のスイッチ素子Q3と、X電極駆動回路611のスイッチ素子Q8がオンになる。すなわち、時刻t13にて導通状態である高速スイッチング性能を有するスイッチ素子Q1、Q6にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子Q3、Q8がオンになる。これにより、放電電流によるサステインパルス（出力電圧Y_o、X_o）の電圧変動 ΔV_{YH} 、 ΔV_{XL} を低減させることができる。

【0066】

なお、図7においても、スイッチ素子Q3、Q8が常にオフの場合における出力電圧Y_o、X_oの電圧変動を破線で示している。ここで、プラズマディスプレイ装置にて放電電流が流れる時刻は、プラズマディスプレイ装置の構造や駆動電

圧等に応じて適宜決まるものである。

【0 0 6 7】

時刻 t_{14} では、スイッチ素子 Q_3 、 Q_8 がともにオフとなる。その後、スイッチ素子 Q_1 がオフになり、Y 電極駆動回路 6 0 1 の出力電圧 Y_o はハイレベルに維持される。

【0 0 6 8】

出力電圧 Y_o をロウレベルに変化させる時刻 t_{15} では、Y 電極駆動回路 6 0 1 のスイッチ素子 Q_{11} がオンになるパルスが発生させ、所定時間経過後にスイッチ素子 Q_2 をオンにする。これにより、出力電圧 Y_o がハイレベルからロウレベルに変化するとともに、この変化に伴う電力が電力回収回路 6 0 2 により回収される。

【0 0 6 9】

出力電圧 X_o をハイレベルに変化させる時刻 t_{16} では、X 電極駆動回路 6 1 1 のスイッチ素子 Q_{12} がオンになるパルスが発生させた後、スイッチ素子 Q_5 をオンにする。これにより、出力電圧 X_o を変化させるための電力の一部として回収された電力が利用され、出力電圧 X_o がロウレベルからハイレベルに変化する。

【0 0 7 0】

所定時間が経過し、放電電流が流れる時刻 t_{17} では、時刻 t_{17} の時点にて導通状態である高速スイッチング性能を有するスイッチ素子 Q_2 、 Q_5 にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子 Q_4 、 Q_7 がオンになる。これにより放電電流によるサステインパルス（出力電圧 Y_o 、 X_o ）の電圧変動 ΔV_{YL} 、 ΔV_{XH} を低減させることができる。なお、破線によりスイッチ素子 Q_4 、 Q_7 が常にオフの場合における出力電圧 Y_o 、 X_o の電圧変動を示している。

【0 0 7 1】

時刻 t_{18} では、スイッチ素子 Q_4 、 Q_7 がともにオフとなる。その後、スイッチ素子 Q_5 がオフになり、X 電極駆動回路 6 1 1 の出力電圧 X_o はハイレベルに維持される。さらに、その後、スイッチ素子 Q_2 がオフになる。

以降、サステイン期間におけるサステインパルスの印加回数に応じて、上述した動作を繰り返し行う。

【0072】

以上、説明したように第2の実施形態によれば、上述した第1の実施形態と同様の効果が得られる。さらに、サステインパルスの立ち上がり時及び立ち下がり時には、電力回収回路602、612を動作させた後（電力回収回路602、612内のスイッチ素子Q10～Q13を適宜オンさせた後）、低飽和電圧性能を有するスイッチ素子に並列接続された高速スイッチング性能を有するスイッチ素子を動作させることにより、サステインパルスの立ち上がり及び立ち下がりにおけるスイッチング損失を低減することができる。

【0073】

なお、上記図7においては、プラズマディスプレイ装置にて放電電流が流れるときのみ、低飽和電圧性能を有するスイッチ素子（IGBT）をオンさせるようにしているが、少なくともプラズマディスプレイ装置にて放電電流が流れるときにオンであれば良く、他の期間においてもオン状態であっても良い。

また、図7においては出力電圧Y_o、X_oの一方をハイレベルからロウレベルに変化させた後、他方をロウレベルからハイレベルに変化させているが、出力電圧Y_o、X_oを変化させるタイミングは同時であっても良いし、図7に示すタイミングとは逆であっても良い。

【0074】

（第3の実施形態）

次に、本発明の第3の実施形態について説明する。

図8は、本発明の第3の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図8においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。なお、この図8において、図1、図6に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

【0075】

図8に示すように第3の実施形態は、図6に示した第2の実施形態とは、Y電



極駆動回路 801 内の Y サステイン回路 802、及び X 電極駆動回路 811 内の X サステイン回路 812 の構成のみが異なる。

【0076】

Y サステイン回路 802 は、第 1 のスイッチ素子 Q1 のゲート及び第 3 のスイッチ素子 Q3 のベースが、第 1 のプリドライブ回路 P1 の出力に接続され、第 2 のスイッチ素子 Q2 のゲート及び第 4 のスイッチ素子 Q4 のベースが、第 2 のプリドライブ回路 P2 の出力に接続される。X サステイン回路 812 は、第 5 のスイッチ素子 Q5 のゲート及び第 7 のスイッチ素子 Q7 のベースが、第 5 のプリドライブ回路 P5 の出力に接続され、第 6 のスイッチ素子 Q6 のゲート及び第 8 のスイッチ素子 Q8 のベースが、第 6 のプリドライブ回路 P6 の出力に接続される。

【0077】

つまり、第 3 の実施形態においては、Y サステイン回路 802 は、プリドライブ回路 P3、P4 を設けずに、プリドライブ回路 P1 が出力する同一の制御信号（ゲート電圧）VG1 によりスイッチ素子 Q1、Q3 を駆動し、プリドライブ回路 P2 が出力する同一の制御信号（ゲート電圧）VG2 によりスイッチ素子 Q2、Q4 を駆動する。同様に、X サステイン回路 812 は、プリドライブ回路 P7、P8 を設けずに、プリドライブ回路 P5 が出力する同一の制御信号（ゲート電圧）VG5 によりスイッチ素子 Q5、Q7 を駆動し、プリドライブ回路 P6 が出力する同一の制御信号（ゲート電圧）VG6 によりスイッチ素子 Q6、Q8 を駆動する。

【0078】

ここで、上述した説明からわかるように、スイッチング動作期間においては高速スイッチング性能を有するスイッチ素子 Q1、Q2、Q5、Q6 を主として動作させ、少なくとも放電電流が流れる期間においては低飽和電圧性能を有するスイッチ素子 Q3、Q4、Q7、Q8 をオンにする必要がある。したがって、第 3 の実施形態においては、スイッチ素子 Q1、Q2、Q5、Q6 の入力しきい値電圧が、それぞれ並列接続されているスイッチ素子 Q3、Q4、Q7、Q8 の入力しきい値電圧よりも低い或いは等しくなるスイッチ素子 Q1～Q8 を用いて構成

される。ここで、閾値は、各スイッチ素子にて、オフ状態とオン状態との閾値電圧である。

【0079】

なお、図8に示したX電極駆動回路811及びY電極駆動回路801の動作は、ゲート電圧VG3、VG4、VG7、VG8を用いなくても図7に示した第2の実施形態と同様であり、プラズマディスプレイ装置にて放電電流が流れる際には、低飽和電圧性能を有するスイッチ素子Q3、Q4、Q7、Q8をオンさせることが可能である。

【0080】

以上、説明したように第3の実施形態によれば、上述した第1及び第2の実施形態と同様の効果が得られる。さらに、並列接続されたスイッチ素子の組Q1とQ3、Q2とQ4、Q5とQ7、Q6とQ8を、プリドライブ回路P1、P2、P5、P6が出力する制御信号（ゲート電圧）によりそれぞれ駆動するように構成することで、回路規模を低減することができるとともに外部からの制御も容易に行うことができる。

なお、図8に示した例では、Y電極駆動回路801及びX電極駆動回路811は、電力回収回路602、612を備えるようにしているが、電力回収回路602、612を備えていなくても良い。

【0081】

（第4の実施形態）

次に、本発明の第4の実施形態について説明する。

第4の実施形態は、上記図8に示した第3の実施形態におけるサステイン回路の電源電圧Vs及びグランドに代えて、グランド（電位0）に対する電圧が維持放電電圧Vsの半分の電圧である正の電源電圧（ $V_s/2$ ）及び負の電源電圧（ $-V_s/2$ ）をサステイン回路の電源電圧として用いたものである。

【0082】

図9は、本発明の第4の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図9においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。なお、この図9において、図1、図6、

図 8 に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

【0083】

図 9 において、Y サステイン回路 802' は、ダイオード 103 を介して電源電圧端子 V_{sH} より正の電源電圧 ($V_s/2$) が入力されている。第 1 のスイッチ素子 Q_1 のドレイン及び第 3 のスイッチ素子 Q_3 のコレクタが、ダイオード 103 のカソードに共通接続される。また、第 2 のスイッチ素子 Q_2 のソース及び第 4 のスイッチ素子 Q_4 のエミッタが、負の電源電圧 ($-V_s/2$) が入力される電源電圧端子 V_{sL} に共通接続される。Y サステイン回路 802' の他の構成については、図 8 に示した Y サステイン回路 802 と同様である。

【0084】

X サステイン回路 812' は、第 5 のスイッチ素子 Q_5 のドレイン及び第 7 のスイッチ素子 Q_7 のコレクタが、正の電源電圧 ($V_s/2$) が入力される電源電圧端子 V_{sH} に共通接続され、第 6 のスイッチ素子 Q_6 のソース及び第 8 のスイッチ素子 Q_8 のエミッタが、負の電源電圧 ($-V_s/2$) が入力される電源電圧端子 V_{sL} に共通接続される。X サステイン回路 812' の他の構成については、図 8 に示した X サステイン回路 812 と同様である。

【0085】

また、C91、C93 は、電源電圧端子 V_{sH} とグランド端子との間に接続されたバイパスコンデンサであり、C92、C94 は、電源電圧端子 V_{sL} とグランド端子との間に接続されたバイパスコンデンサである。

【0086】

サステイン回路の電源電圧として正の電源電圧及び負の電源電圧を用いることにより、上記図 9 に示したように構成された Y 電極駆動回路 901 及び X 電極駆動回路 911 では、上述した第 2 及び第 3 の実施形態における電力回収回路で用いていた電力回収用コンデンサ C1～C4 の代わりに、電源ラインに対して一般に設けられるバイパスコンデンサ C91～C94 を電力回収用に利用することができる。したがって、電力回収回路 602'、612' は、電力回収用コンデンサ C1～C4 を設けずに構成することができる。

【0087】

電力回収回路602'は、スイッチ素子Q10のソース及びスイッチ素子Q11のドレインがグランド端子に接続される点が異なるのみで、電力回収回路602と同様に構成される。また、電力回収回路612'は、スイッチ素子Q12のソース及びスイッチ素子Q13のドレインがグランド端子に接続される点が異なるのみで、電力回収回路612と同様に構成される。なお、図9においてグランド端子は説明の便宜上それぞれ分けて示しているが、実際にはグランド端子は電氣的に接続されているひとつのものである。

【0088】

第4の実施形態によれば、上述した第1～第3の実施形態と同様の効果が得られるとともに、電力回収回路602'、612'に電力回収用コンデンサC1～C4を設ける必要がなくなり回路規模をさらに低減することができる。

【0089】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。

図10は、本発明の第5の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図10においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。なお、この図10において、図1、図9に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

【0090】

第5の実施形態は、Y電極駆動回路1001において、リセット回路102より出力されるリセット電圧V_wをYサステイン回路802'のスイッチ素子Q2のソース端子、スイッチ素子Q4のエミッタ端子に対して重畳している点に特徴を有する。以下では、Y電極駆動回路1001について説明し、X電極駆動回路911は、上記第4の実施形態と同様であるので説明は省略する。

【0091】

図10において、リセット回路102は、プリドライブ回路P14、P15、スイッチ素子Q14、Q15及びコンデンサC_wを有する。

プリドライブ回路 P 1 4、P 1 5 は、制御信号端子 I w 1、I w 2 から入力される制御信号を増幅するための増幅回路である。

【0092】

スイッチ素子 Q 1 4、Q 1 5 は、例えばパワー MOS F E T 等を用いて構成される。スイッチ素子 Q 1 4、Q 1 5 は、ゲートがプリドライブ回路 P 1 4、P 1 5 の出力に接続され、その出力に応じて開閉が制御される。スイッチ素子 Q 1 4 のドレインがリセット電圧端子 V w に接続され、スイッチ素子 Q 1 5 のソースがグランド端子に接続される。また、スイッチ素子 Q 1 4 のソースとスイッチ素子 Q 1 5 のドレインが、容量 C w の一端に共通接続される。

【0093】

容量 C w の他端は、Y サステイン回路のスイッチ素子 Q 2 のソース、スイッチ素子 Q 4 のエミッタに接続されるとともに、容量 C s を介して Y サステイン回路のスイッチ素子 Q 1 のドレイン、スイッチ素子 Q 3 のコレクタに接続される。このため、電源電圧端子 V s H とリセット回路 1 0 2 の出力（容量 C w の他端）との間に設けたダイオード 1 0 3 に加え、電源電圧端子 V s L とリセット回路 1 0 2 の出力との間にも、リセット回路 1 0 2 からの電圧供給により電流が逆流するのを防止するためのダイオード 1 0 0 2 を設ける。

【0094】

上述した第 4 の実施形態においては、スイッチ素子 Q 2、Q 4 には $(V w + V s)$ の耐圧（電圧定格）を有する素子を用いなければならない。それに対して、第 5 の実施形態では、図 1 0 に示したように Y 電極駆動回路を構成することによりスイッチ素子 Q 2、Q 4 は、 $[V s / 2 - (-V s / 2)] = V s$ の耐圧を有する素子を用いることができる。したがって、上述した第 1 ～第 4 の実施形態と同様の効果が得られるとともに、スイッチ素子 Q 2、Q 4 に耐圧が低い素子を用いることができ、製造コストを低減することができる。

【0095】

さらに、図 1 0 に示すように、電力回収回路 6 0 2' のスイッチ素子 Q 1 0 のドレイン及びスイッチ素子 Q 1 1 のソースと、容量 C w の一端とを接続すれば、リセット回路 1 0 2 からの出力に同期して電圧を重ねることができ、スイッチ

素子 Q11 に耐圧が低い素子を用いることができる。

【0096】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【0097】

(付記1) 複数の第1の電極と、

上記複数の第1の電極に略平行に配置され、隣接する上記第1の電極とで表示セルを形成するとともに、当該表示セルを形成する上記第1の電極との間にて放電を行う複数の第2の電極と、

上記複数の第1の電極に放電電圧を印加する第1の電極駆動回路と、

上記複数の第2の電極に放電電圧を印加する第2の電極駆動回路とを備え、

上記第1及び第2の電極駆動回路の少なくとも一方は、高速スイッチング性能を有する第1のスイッチ素子と、低飽和電圧性能を有する第2のスイッチ素子とを並列に接続した並列回路を有することを特徴とするプラズマディスプレイ装置。

(付記2) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記3) 上記第2のスイッチ素子は、IGBTであることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記4) 上記第1のスイッチ素子はパワーMOSFETであり、上記第2のスイッチ素子はIGBTであることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記5) 少なくとも上記第1の電極と上記第2の電極との間で放電電流が流れる期間は、上記第2のスイッチ素子がオン状態であることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記6) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴と



する付記 5 記載のプラズマディスプレイ装置。

(付記 7) 上記第 2 のスイッチ素子は、I G B Tであることを特徴とする付記 5 記載のプラズマディスプレイ装置。

(付記 8) 上記第 1 のスイッチ素子はパワー M O S F E Tであり、上記第 2 のスイッチ素子は I G B Tであることを特徴とする付記 5 記載のプラズマディスプレイ装置。

(付記 9) 上記電極駆動回路は、上記表示セルにて発光を伴う放電を行う維持放電電圧を出力するサステイン回路を有し、

上記サステイン回路が、上記第 1 のスイッチ素子と上記第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とする付記 1 記載のプラズマディスプレイ装置。

(付記 10) 上記第 1 のスイッチ素子は、パワー M O S F E Tであることを特徴とする付記 9 記載のプラズマディスプレイ装置。

(付記 11) 上記第 2 のスイッチ素子は、I G B Tであることを特徴とする付記 9 記載のプラズマディスプレイ装置。

(付記 12) 上記第 1 のスイッチ素子はパワー M O S F E Tであり、上記第 2 のスイッチ素子は I G B Tであることを特徴とする付記 9 記載のプラズマディスプレイ装置。

(付記 13) 上記サステイン回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る第 1 の電位を供給する高電位側スイッチ回路と、上記第 1 の電位より低い上記維持放電電圧に係る第 2 の電位を供給する低電位側スイッチ回路とを有し、

上記高電位側スイッチ回路及び上記低電位側スイッチ回路が、上記第 1 のスイッチ素子と上記第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とする付記 9 記載のプラズマディスプレイ装置。

(付記 14) 上記第 1 のスイッチ素子は、パワー M O S F E Tであることを特徴とする付記 13 記載のプラズマディスプレイ装置。

(付記 15) 上記第 2 のスイッチ素子は、I G B Tであることを特徴とする付記 13 記載のプラズマディスプレイ装置。

(付記 1 6) 上記第 1 のスイッチ素子はパワー MOS F E T であり、上記第 2 のスイッチ素子は I G B T であることを特徴とする付記 1 3 記載のプラズマディスプレイ装置。

(付記 1 7) 上記電極駆動回路は、上記表示セルを形成する電極に接続された電力回収回路をさらに有することを特徴とする付記 1 3 記載のプラズマディスプレイ装置。

(付記 1 8) 上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする付記 1 3 記載のプラズマディスプレイ装置。

(付記 1 9) 少なくとも上記第 1 の電極と上記第 2 の電極との間で放電電流が流れる期間は、上記第 2 のスイッチ素子がオン状態であることを特徴とする付記 1 8 記載のプラズマディスプレイ装置。

(付記 2 0) 上記第 1 のスイッチ素子は、パワー MOS F E T であることを特徴とする付記 1 8 記載のプラズマディスプレイ装置。

(付記 2 1) 上記第 2 のスイッチ素子は、I G B T であることを特徴とする付記 1 8 記載のプラズマディスプレイ装置。

(付記 2 2) 上記第 1 のスイッチ素子はパワー MOS F E T であり、上記第 2 のスイッチ素子は I G B T であることを特徴とする付記 1 8 記載のプラズマディスプレイ装置。

(付記 2 3) 上記第 1 のスイッチ素子と上記第 2 のスイッチ素子は、入力しきい値電圧特性が略一致していることを特徴とする付記 1 記載のプラズマディスプレイ装置。

(付記 2 4) 上記第 1 のスイッチ素子及び上記第 2 のスイッチ素子を、同一の駆動信号により駆動することを特徴とする付記 1 記載のプラズマディスプレイ装置。

。

(付記 2 5) 上記第 1 のスイッチ素子は、上記第 2 のスイッチ素子よりもスイッチング時間が短いことを特徴とする付記 1 記載のプラズマディスプレイ装置。

(付記 2 6) 上記高電位側スイッチ回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る正の電位を供給し、上記低電位側スイッチ回路は、上

記表示セルを形成する電極に対して上記維持放電電圧に係る負の電位を供給することを特徴とする付記 13 記載のプラズマディスプレイ装置。

(付記 27) 上記正の電位は、グラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であり、上記負の電位はグラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であることを特徴とする付記 26 記載のプラズマディスプレイ装置。

(付記 28) 上記電極駆動回路は、上記表示セルを形成する電極に接続された電力回収回路をさらに有することを特徴とする付記 26 記載のプラズマディスプレイ装置。

(付記 29) 上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする付記 26 記載のプラズマディスプレイ装置。

(付記 30) 上記正の電位は、グラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であり、上記負の電位はグラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であることを特徴とする付記 29 記載のプラズマディスプレイ装置。

(付記 31) 上記電力回収スイッチは、一端が上記コイルを介して上記表示セルを形成する電極に接続され、他端がグラウンド端子に接続されていることを特徴とする付記 30 記載のプラズマディスプレイ装置。

(付記 32) 上記表示セルを初期化するリセット電圧を上記表示セルを形成する電極に供給する期間は、上記低電位側スイッチ回路の基準電圧に上記リセット電圧を重畳することを特徴とする付記 13 記載のプラズマディスプレイ装置。

(付記 33) 上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする付記 32 記載のプラズマディスプレイ装置。

(付記 34) 上記電力回収スイッチは、一端が上記コイルを介して上記表示セルを形成する電極に接続され、

上記表示セルを初期化するリセット電圧を上記表示セルを形成する電極に供給する期間は、上記電力回収スイッチの他端に上記リセット電圧と同期した電圧を

重畳することを特徴とする付記 33 記載のプラズマディスプレイ装置。

【0098】

【発明の効果】

以上、説明したように本発明によれば、第 1 の電極と第 2 の電極との間で放電電流が流れる際には、高速スイッチング性能を有する第 1 のスイッチ素子に並列に接続された低飽和電圧性能を有する第 2 のスイッチ素子を導通状態にすることにより、放電電流を第 2 のスイッチ素子を介して流し、電圧変動を低減することができる。したがって、プラズマディスプレイ装置における駆動マージンを拡大し、表示特性の劣化を防止することができる。

【0099】

また、サステインパルスの立ち上がり及び立ち下がり時には、並列接続された高速スイッチング性能を有する第 1 のスイッチ素子と、低飽和電圧性能を有する第 2 のスイッチ素子とを動作させ、スイッチング速度が速い第 1 のスイッチ素子に主に電流を流すことにより、サステインパルスの立ち上がり及び立ち下がりにおけるスイッチング損失を低減することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【図 2】

第 1 の実施形態によるプラズマディスプレイ装置の動作波形を示す図である。

【図 3】

図 1 に示した構成を適用したプラズマディスプレイ装置の全体構成の一例を示す図である。

【図 4】

図 4 (a) ~ (c) は表示セルを示す図である。

【図 5】

図 3 のプラズマディスプレイ装置における動作波形を示す図である。

【図 6】

第 2 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【図 7】

第 2 の実施形態によるプラズマディスプレイ装置の動作波形を示す図である。

【図 8】

第 3 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【図 9】

第 4 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【図 1 0】

第 5 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【符号の説明】

1 0 1 Y 電極駆動回路

1 0 2 リセット回路

1 0 4 Y サステイン回路

1 0 5 スキャン回路

1 0 6、1 1 2 高電位側スイッチ

1 0 7、1 1 3 低電位側スイッチ

1 1 1 X 電極駆動回路

C_p 容量性負荷

P 1 ～ P 8 プリドライブ回路

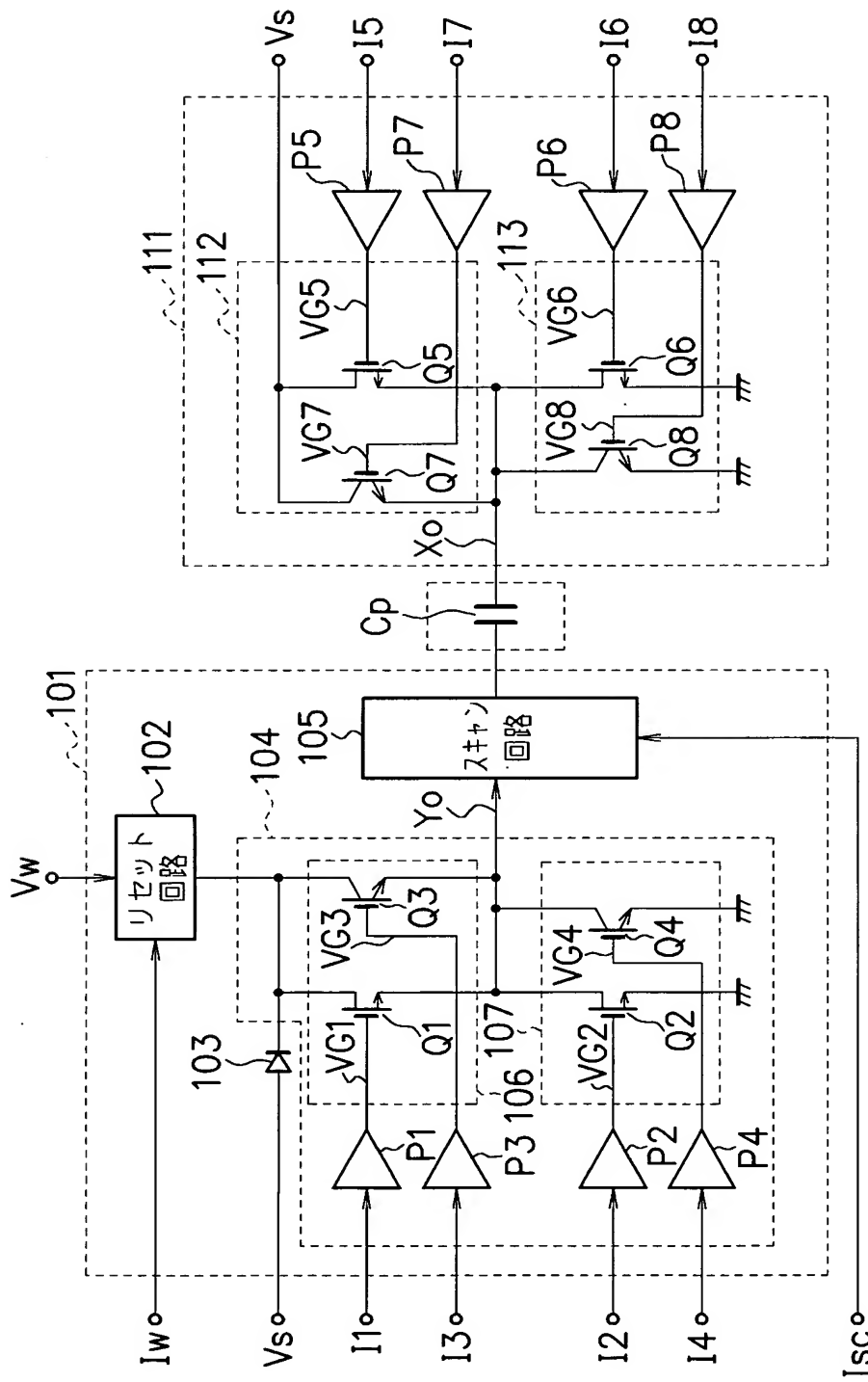
Q 1、Q 2、Q 5、Q 6 スイッチ素子（高速スイッチング素子）

Q 3、Q 4、Q 7、Q 8 スイッチ素子（低飽和電圧スイッチ素子）

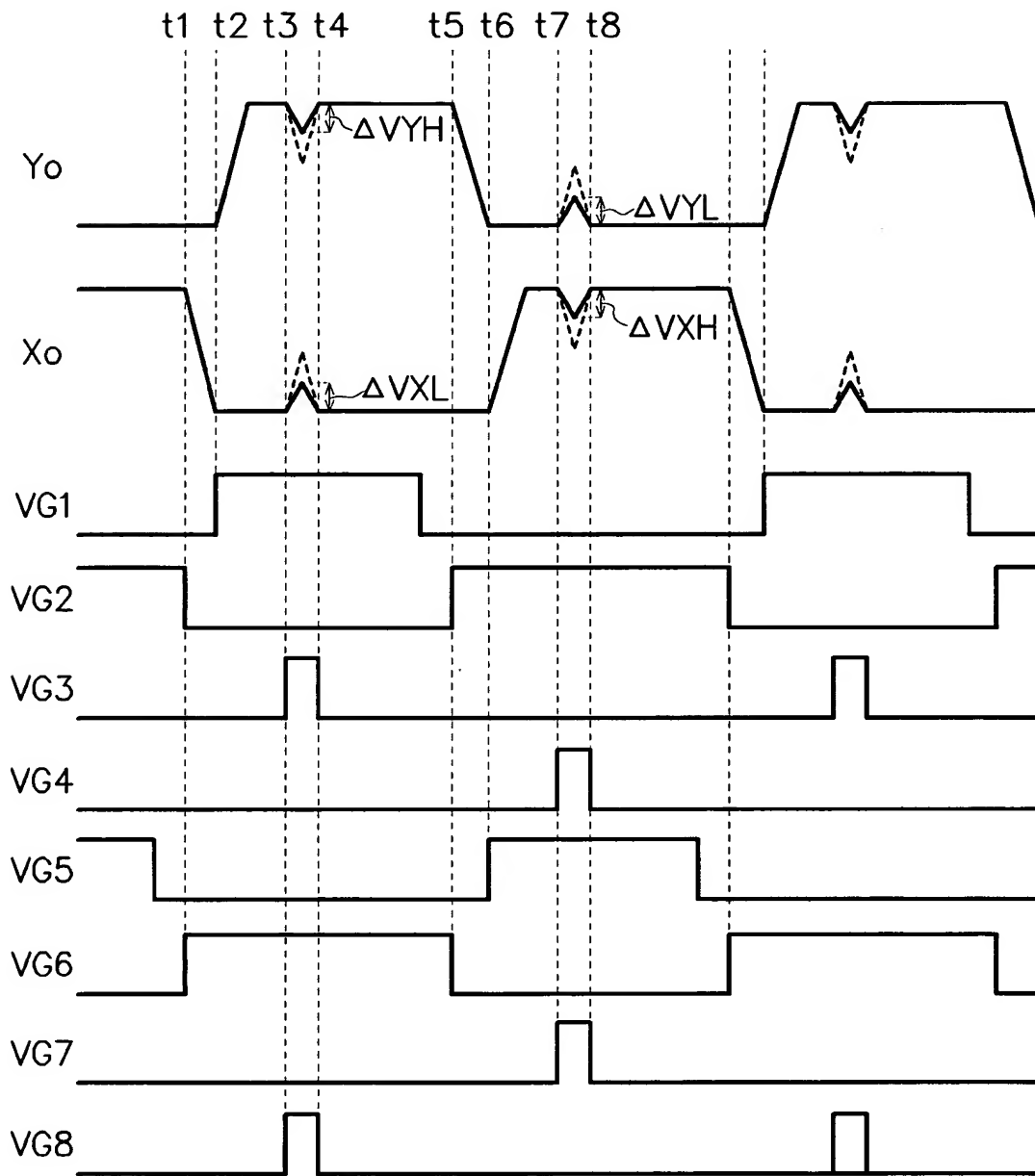
【書類名】

図面

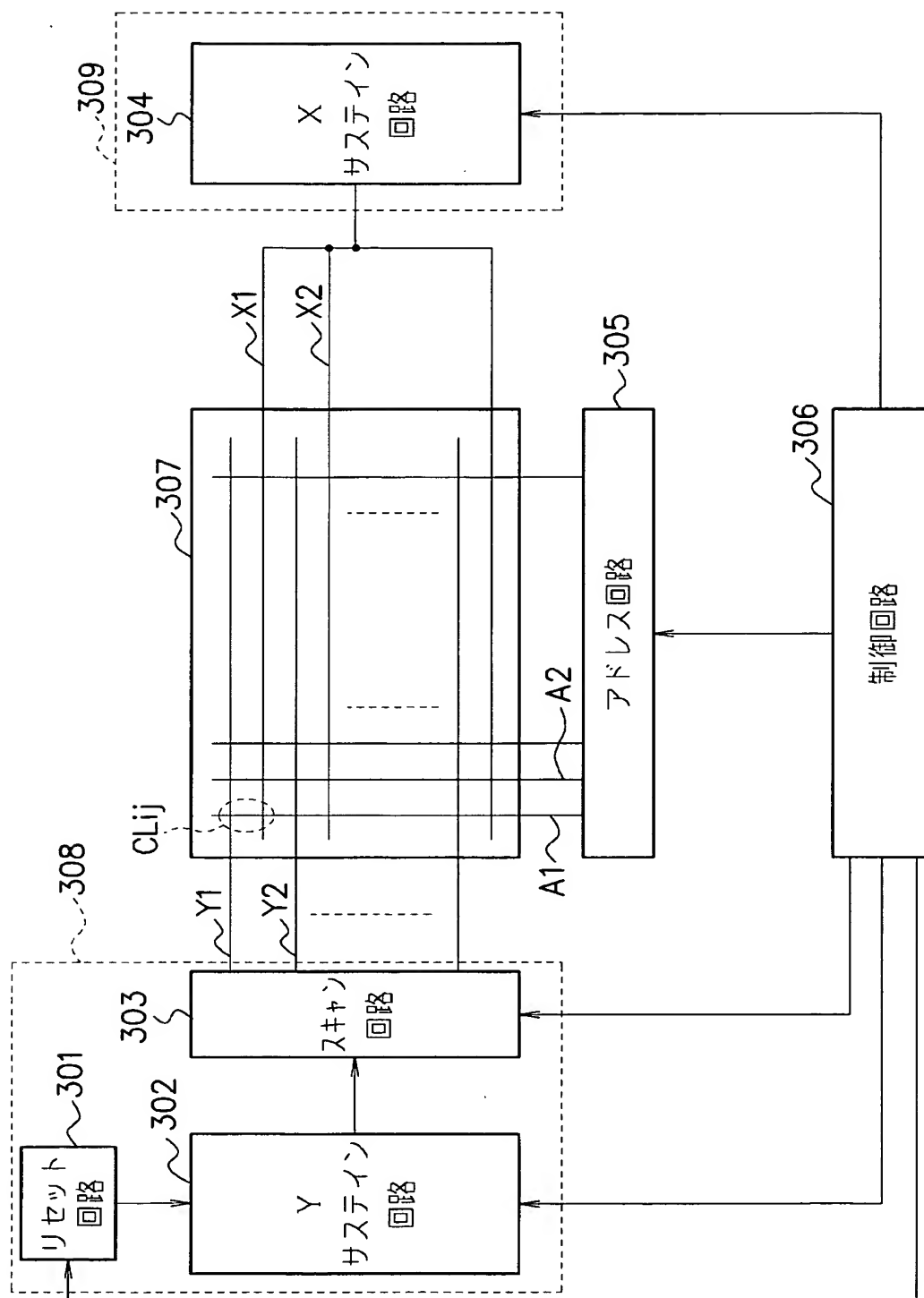
【図 1】



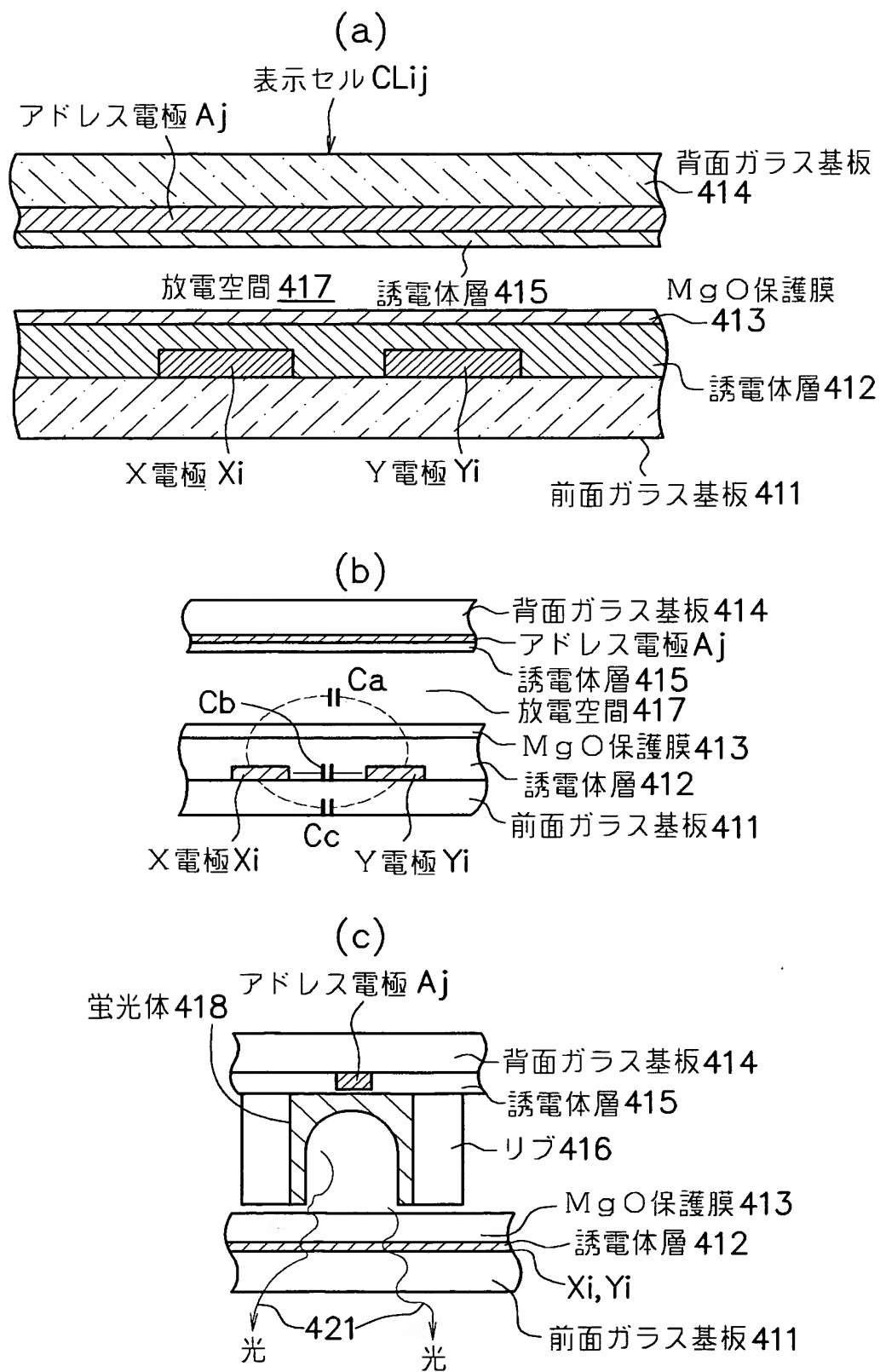
【図 2】



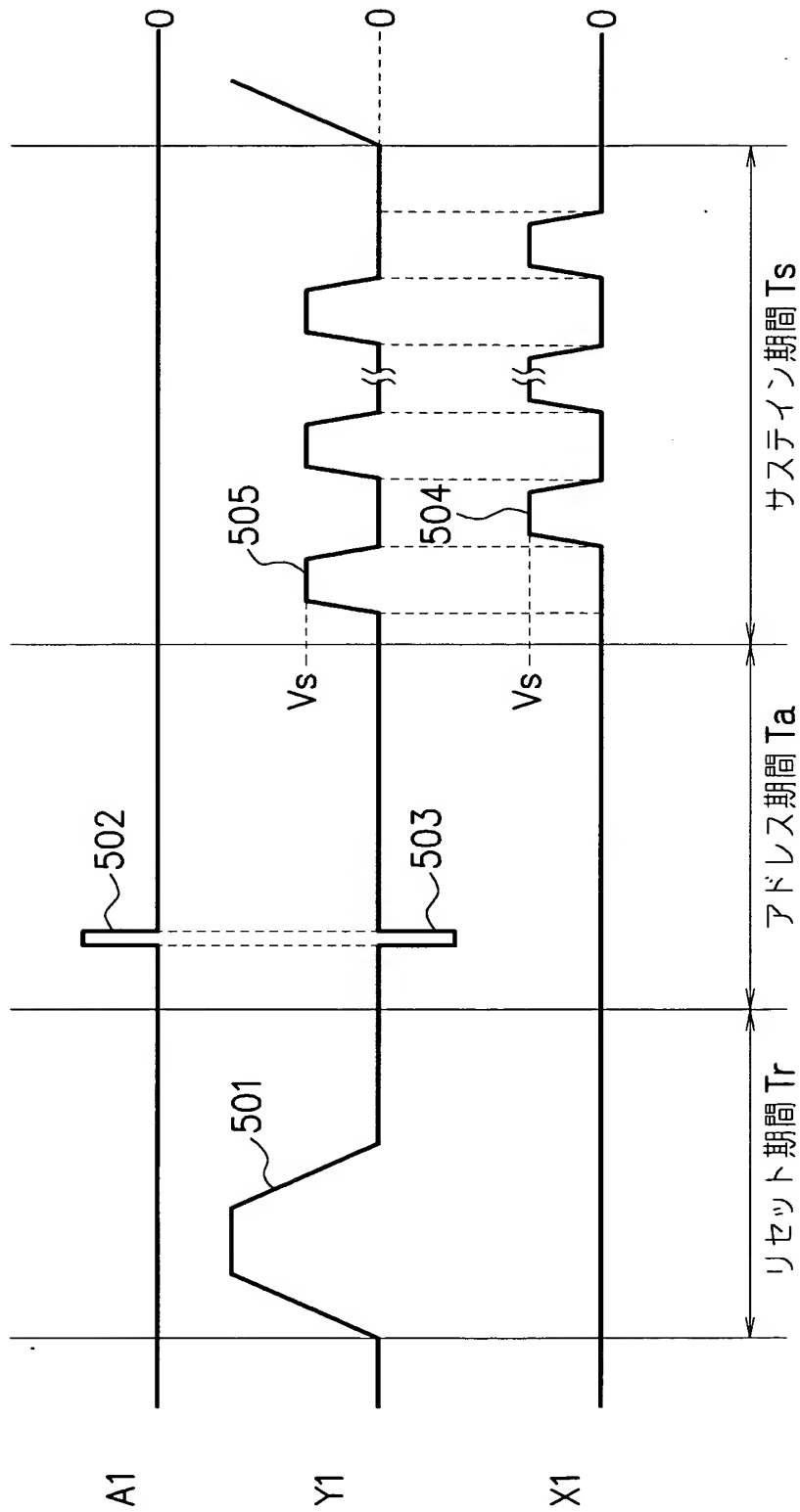
【図 3】



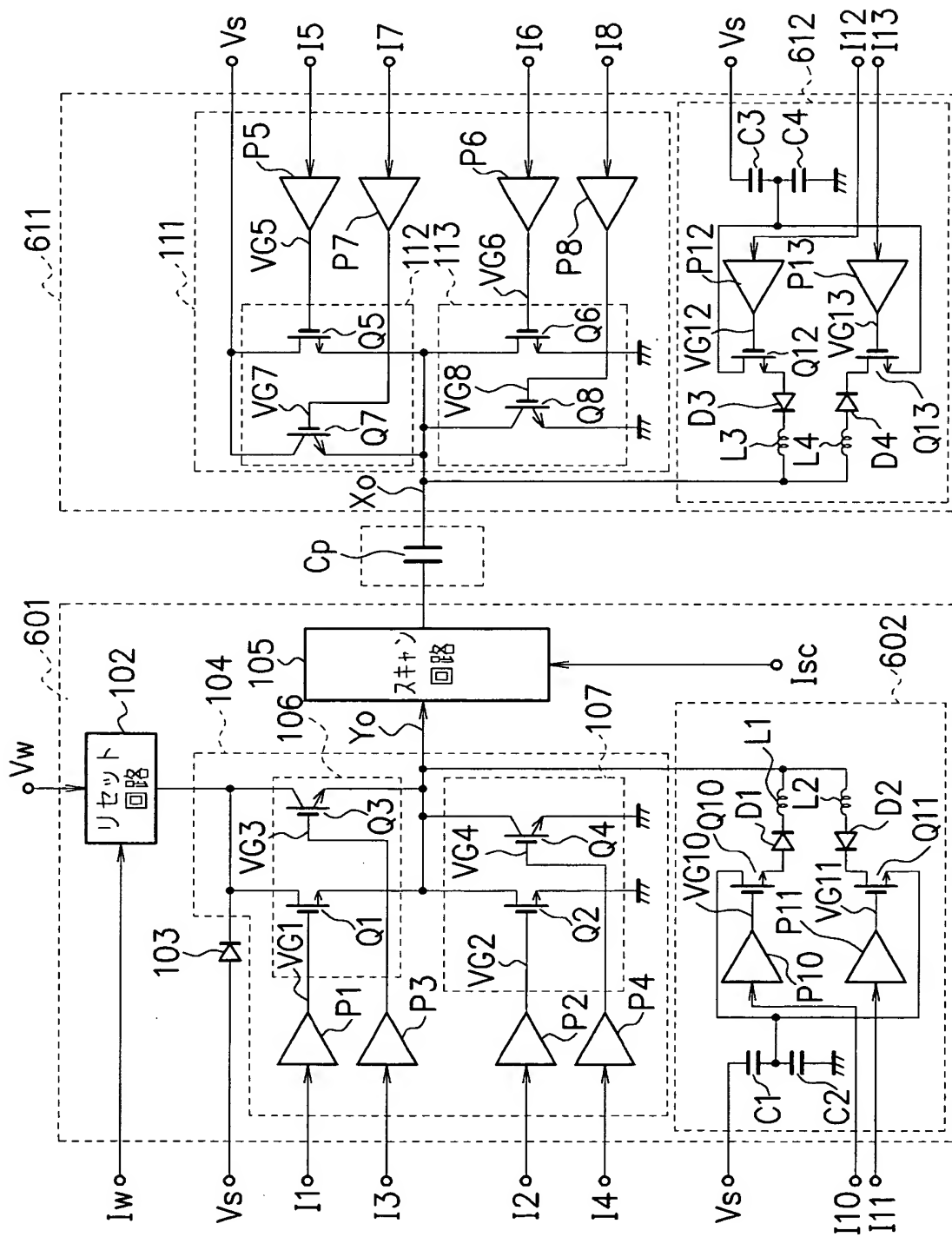
【図 4】



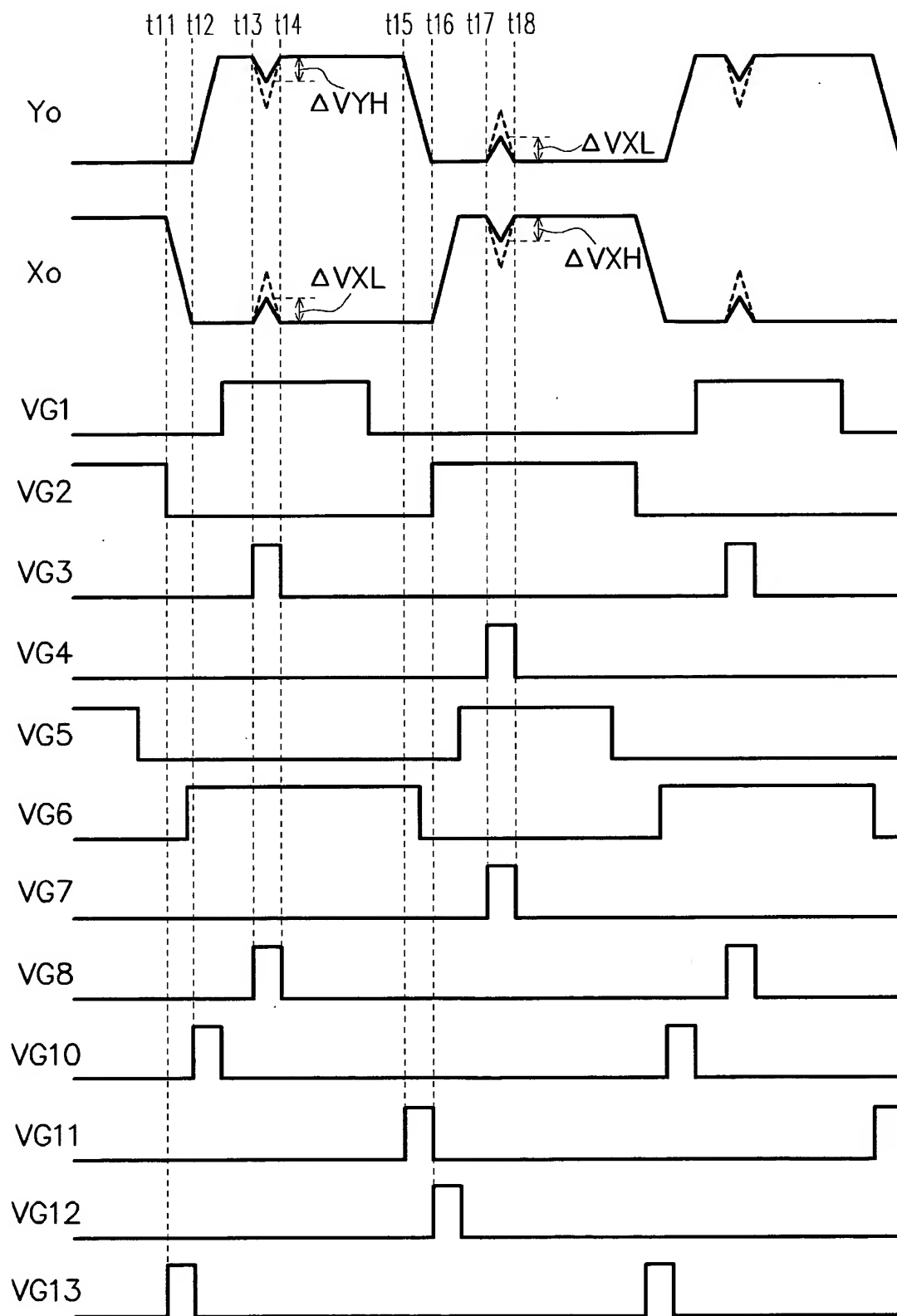
【図 5】



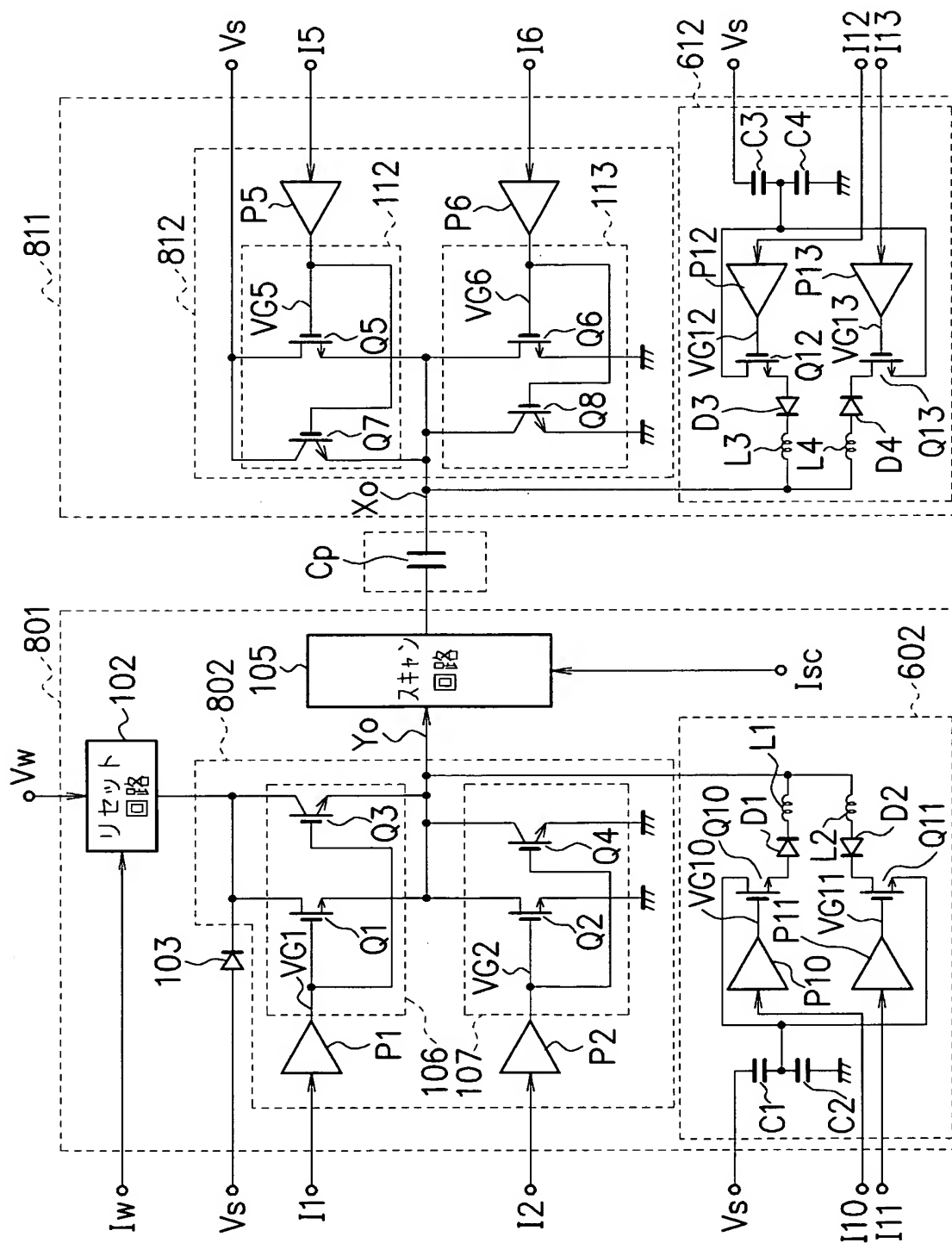
【図 6】



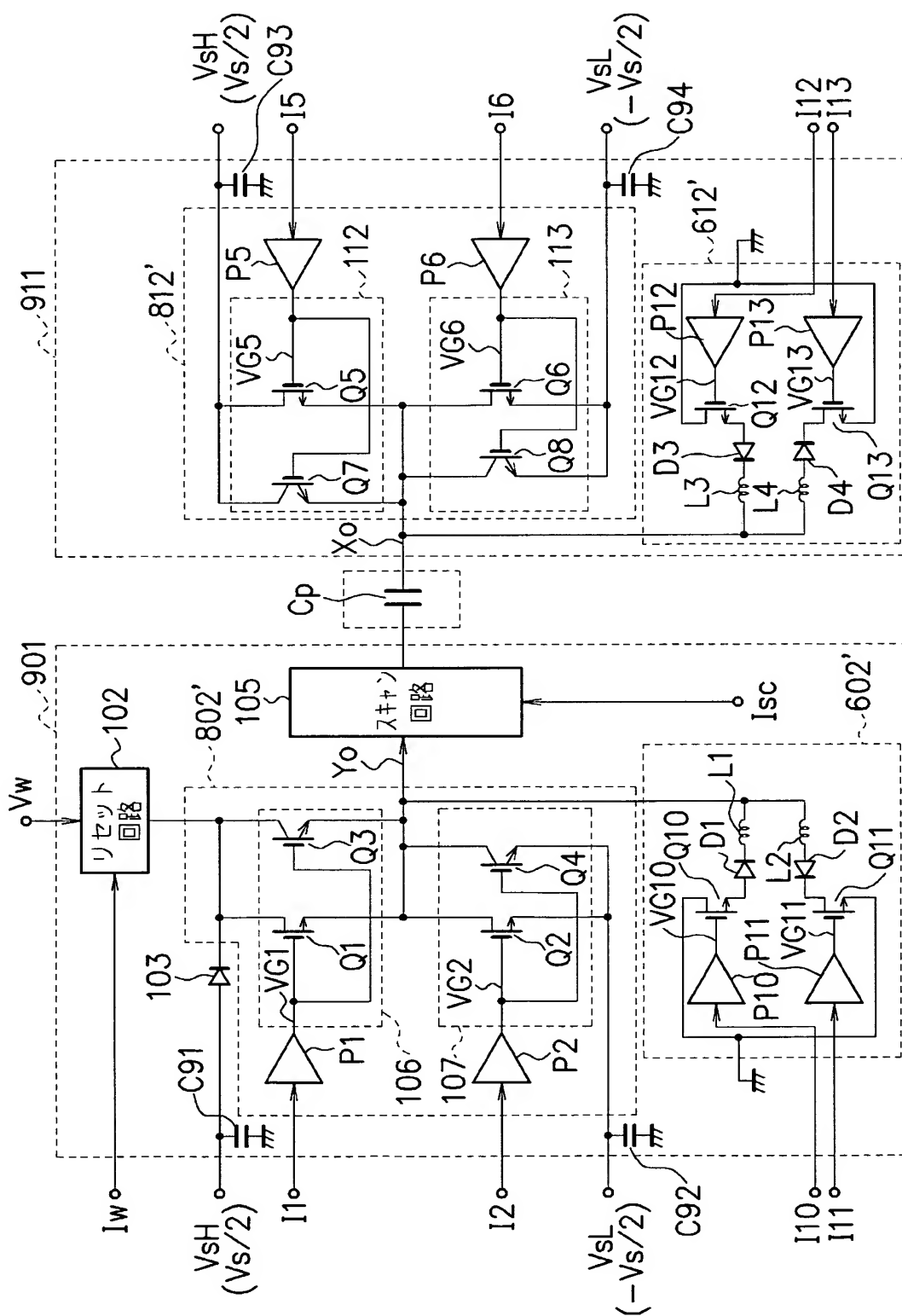
【図 7】



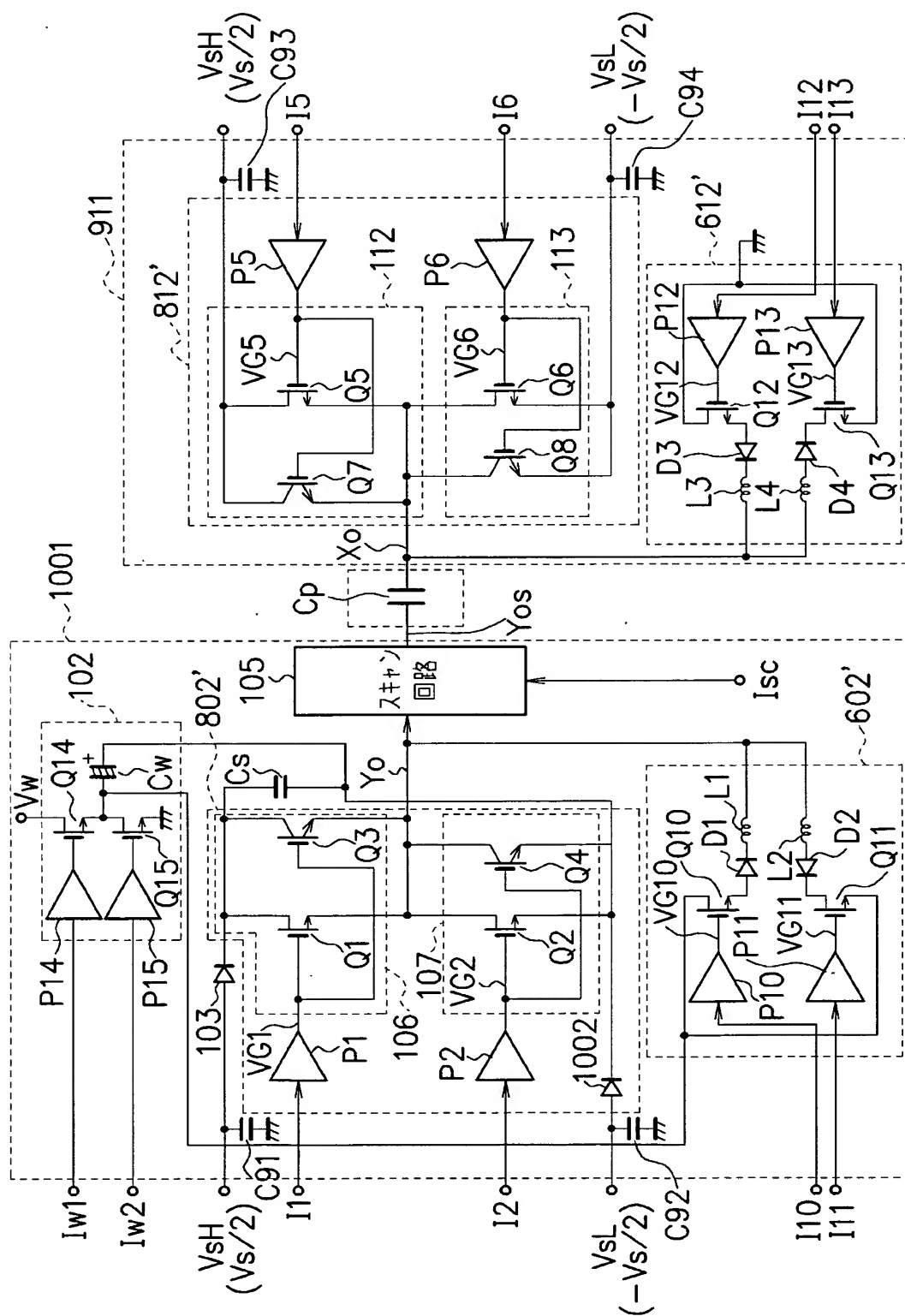
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 放電電流による電圧変動を低減して駆動マージンを拡大し、プラズマディスプレイ装置における表示特性の劣化を防止できるようにする。

【解決手段】 表示セルとなる容量 C_p に駆動電圧を供給する Y 電極駆動回路 101 及び X 電極駆動回路 111 を、高速スイッチング性能を有する第 1 のスイッチ素子 Q1、Q2、Q5、Q6 と、低飽和電圧性能を有する第 2 のスイッチ素子 Q3、Q4、Q7、Q8 とを並列に接続した並列回路を用いて構成し、放電電流が流れる際には、低飽和電圧性能を有する第 2 のスイッチ素子をオンすることにより、放電電流による電圧変動を低減できるようにする。

【選択図】 図 1



特願 2 0 0 3 - 1 3 1 8 7 9

出 願 人 履 歴 情 報

識別番号

[5 9 9 1 3 2 7 0 8]

1. 変更年月日

1 9 9 9 年 9 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

氏 名

富士通日立プラズマディスプレイ株式会社